



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **05249916 A**(43) Date of publication of application: **28.09.93**

(51) Int. Cl. **G09G 3/20**  
**H01L 27/092**  
**H03K 17/687**

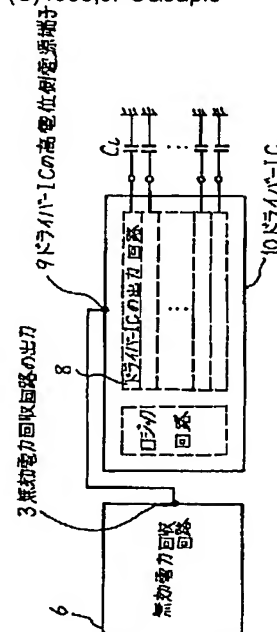
(21) Application number: **04051168**(71) Applicant: **NEC CORP**(22) Date of filing: **10.03.92**(72) Inventor: **TANAKA AKIO**(54) **LOW ELECTRIC POWER DRIVING CIRCUIT**

COPYRIGHT: (C)1993,JPO&amp;Japio

(57) Abstract:

**PURPOSE:** To reduce electric power consumption, and downsize an electric power supply circuit by inputting an output pulse of a reactive power recovery circuit formed by using an inductance to one electric power supply terminal.

**CONSTITUTION:** An output 3 of a reactive power recovery circuit 6 is connected to a high electric potential side electric power supply terminal 9 of a driver IC 10 composed of a complementary type MOS transistor. Respective outputs of this drive IC 10 are further connected to a scanning electrode of an XY matrix panel and a data electrode. When the third P type MOS transistor is turned on by controlling an input terminal, an output pulse created in the reactive power recovery circuit 6 is impressed on the electrode of the XY matrix panel. Though there exists a capacitance in the electrode of this panel, a charging/discharging electric power can be recovered by means of the reactive power recovery circuit 6. When the third N type MOS transistor is turned on, the output is fixed in low.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-249916

(43) 公開日 平成5年(1993)9月28日

(51) Int. Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 3/20	J	8621-5G		
H 0 1 L 27/092				
H 0 3 K 17/687				
		7342-4M	H 0 1 L 27/08	3 2 1 L
		8221-5J	H 0 3 K 17/687	F
審査請求 未請求 請求項の数1(全 4 頁)				

(21) 出願番号 特願平4-51168

(22) 出願日 平成4年(1992)3月10日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 田中 昭生

東京都港区芝五丁目7番1号日本電気株式会社内

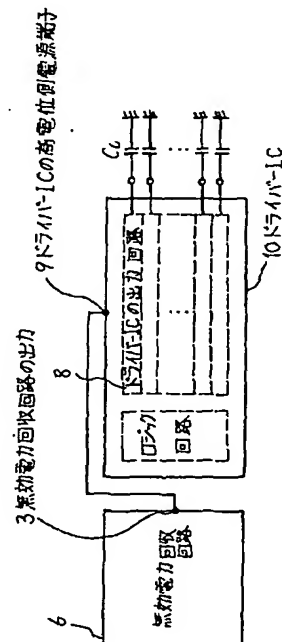
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 低電力駆動回路

(57) 【要約】

【構成】ドライバ IC 10 の高電位側電源端子 9 に、無効電力回収回路 6 の出力パルスを入力することを特徴とする低電力駆動回路である。

【効果】ドライバ IC に無効電力回収回路を接続したので消費電力を減少できる。また、低電力化されるので電源回路を小型化できる。



【特許請求の範囲】

【請求項1】 Pチャネル型MOSトランジスタとNチャネル型MOSトランジスタの相補型MOSトランジスタを用いて容量性負荷を駆動する回路において、一方の電源端子にインダクタを用いた無効電力回収回路を接続することを特徴とする低電力駆動回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、容量性負荷の低電力駆動回路に関し、特にプラズマディスプレイ、エレクトロルミネッセンス等のフラットパネルディスプレイの駆動回路に関する。

【0002】

【従来の技術】 従来、この種の容量性負荷の駆動回路では、低電力化を図るため、図4に示すようにインダクタLを用いた無効電力回収回路が知られている。第1のコンデンサC1は負荷容量CLに比べ非常に大きく、低電圧源とみなされ、その電圧は回路のスイッチング動作によって自動的に高電位側電源2の電圧V1の半分の電圧V1/2に設定される。出力を立ち上げるには、図5の10のように第2のP型MOSトランジスタMP2をオンにしてインダクタLと負荷容量CLで構成されるLC回路にV1/2を印加することで行われる。LC回路の動作により、CLの両端の電圧はV1まで上昇する。V1まで上昇した所で第1のP型MOSトランジスタMP1をオンにしてV1にクランプする。立下りは、同様に第2のN型MOSトランジスタMN2と第1のN型MOSトランジスタMN1を順次オンにする。立上り時にCLを充電するためにC1からCL(V1)<sup>2</sup>のエネルギーが流出するが、立下り時にLC回路の動作によって全てC1へもどされる(ACプラズマディスプレイにおけるエネルギー・リカバリー・サステイン回路(Energy Recovery Sustain Circuit for the AC Plasma Display), L. F. Weber et al; SDI 87 DIGEST, P92~95, 1987. 参照)。

【0003】 この様な無効電力回収回路は、ACメモリプラズマディスプレイの維持電極のようにパネル全面の1つの電極のようにパネル全面の1つの電極で駆動する場合、回収回路が少なくて済み効率が良いが、走査電極、データ電極のようにXYマトリクスのX本、Y本を別々に駆動する場合、LCを用いた回収回路を個々の電極に用いる必要があり実現は困難であった。

【0004】

【発明が解決しようとする課題】 この様に、走査電極、データ電極には無効電力回収回路をつけることが困難であったため、従来は図6のように相補型MOSトランジスタでパルスを生じさせて駆動していた。この方式では、無効電力は回収されないため、走査電極、データ電極に存在する非常に大きな容量の充放電に伴う電力を無

駄に消費していた。

【0005】

【課題を解決するための手段】 本発明の駆動回路は、PチャネルMOSトランジスタとNチャネルMOSトランジスタの相補型MOSトランジスタを用いて容量性負荷を駆動する回路において、一方の電源端子にインダクタを用いた無効電力回収回路の出力パルスを入力することを特徴としている。

【0006】

【実施例】 次に本発明について図面を参照して説明する。図1は本発明の第1の実施例の回路図を示す。無効電力回収回路6の出力3を相補型MOSトランジスタで構成されるドライバーIC10の高電位側電源端子9に接続する。近年、32~64出力、耐圧200V程度のドライバーICが開発されており、このドライバーICの各出力をXYマトリクスパネルの走査電極、データ電極に接続する。

【0007】 図2は、第1の実施例の具体的回路を示す図で、入力端子4を制御して、第3のP型MOSトランジスタMP3をオンにすると、無効電力回収回路6で作られた出力パルスが、XYマトリクスパネルの電極に印加される。パネルの電極にはキャパシタンスが存在するが、無効電力回収回路6によって充放電に伴う電力は回収される。第3のN型MOSトランジスタMN3をオンにすると、出力はロウに固定される。この様に表示の有無によって入力端子を制御して、パネルの電極にパルスを印加したりロウに固定することができる。

【0008】 図3は、本発明の第2の実施例を示す回路図である。本実施例ではドライバーICの出力回路8の低電位側電源端子11に、無効電力回収回路6の出力3を接続している。ロジックの入力信号の基準電位に対し、負の電位のパルスをパネル電極に印加する時に用いる。

【0009】 データ側電極を例にとれば、一電極当たりC=40pF程度のキャパシタンスがN=640電極程度あり(X方向640ドットの場合)、これを周波数f=125KHz 電圧V=80Vで駆動すると、 $N \times f \times C \times V^2$ により、通常なら20.5W程度の電力を消費するが、本発明により約80%の電力が回収され、4.1W程度の消費電力で済む。

【0010】

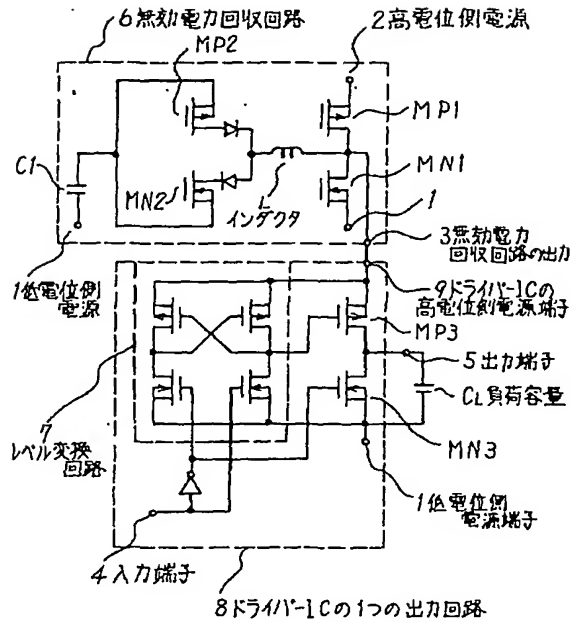
【発明の効果】 以上説明したように、本発明は異なった電極にパルスを印加するドライバーICにおいても無効電力回収回路を使用することができ、パネル電極に存在するキャパシタンスの充放電に伴う電力を回収することができ、消費電力を大幅に減少できる。

【0011】 さらに、低電力化によって電源回路の小型化ができる他、放熱にかかわる部品等も削減することができ、大幅のコストダウンが可能となる。

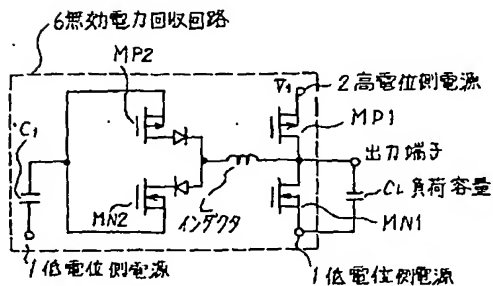
【図面の簡単な説明】



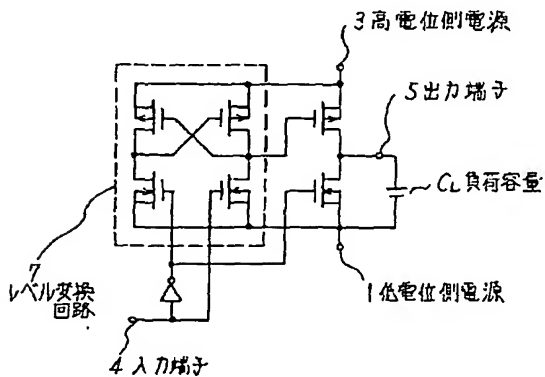
【図2】



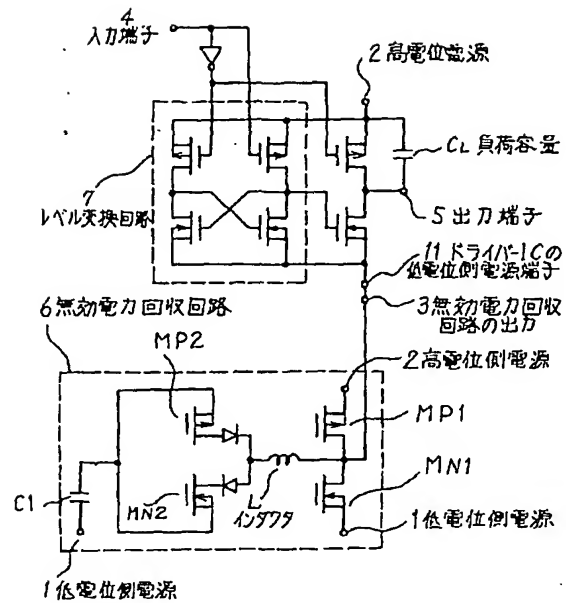
【図4】



【図6】



【図3】



【図5】

